

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Requested Patent: JP62293749A

Title:

THREE-DIMENSIONAL MOUNTING STRUCTURE OF SEMICONDUCTOR DEVICE
AND MANUFACTURE THEREOF ;

Abstracted Patent: JP62293749 ;

Publication Date: 1987-12-21 ;

Inventor(s): SATO YOSHIYUKI; others: 05 ;

Applicant(s): NIPPON TELEGR. TELEPH. CORP. ;

Application Number: JP19860136254 19860613 ;

Priority Number(s): ;

IPC Classification: H01L25/04 ;

Equivalents:

ABSTRACT:

PURPOSE: To form constitution in which a precision working part is not incorporated into a finally finished device, and to mount the whole at low cost by molding a plurality of semiconductor device chips or a semiconductor-device chip loading body and a wiring board by a resin.

CONSTITUTION: Both end sections of IC chips are held by groove sections 10 in a pectinate jig 9 and aligned, wiring boards 1 are brought near to the IC chips 2 from both surfaces, IC-chip end sections on the side having solder bumps 3 are inserted into groove sections 1A in the wiring boards 1 and heated, and solder bumps 4 on the wiring boards and the solder bumps 3 on the IC chips are fused and joined. The pectinate jig 9 is removed, these parts and IC chips are entered to a form including the whole except the end section of one wiring board with a terminal 6 for external connection, and an injection molding process by flowing a high molecular material such as a heated fluidized epoxy resin into a mold and cooling the material is executed. Accordingly, the expensive pectinate jig requiring precision working used for aligning and positioning the IC chips can be reutilized, thus manufacturing the whole at low cost.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-293749

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)12月21日

H 01 L 25/04
// H 05 K 1/14

B-7638-5F
F-6679-5F

審査請求 未請求 発明の数 2 (全7頁)

⑮ 発明の名称 半導体装置の3次元の実装構造およびその製造方法

⑯ 特 願 昭61-136254

⑰ 出 願 昭61(1986)6月13日

⑱ 発 明 者 佐 藤 芳 之 厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑲ 発 明 者 木 内 一 秀 厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑳ 発 明 者 渡 辺 純 二 武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子機構技術研究所内

㉑ 発 明 者 小 薮 国 夫 武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子機構技術研究所内

㉒ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉓ 代 理 人 弁理士 谷 義 一
最終頁に続く

明 細 書

特許請求の範囲
微とする半導体装置の3次元の実装方法。

(以下、余白)

1. 発明の名称

半導体装置の3次元の実装構造
およびその製造方法

2. 特許請求の範囲

1) 複数の半導体装置チップあるいは半導体装置チップ搭載体を配線板に立てて配線接続する半導体装置の3次元の実装構造において、前記複数の半導体装置チップあるいは半導体装置チップ搭載体と前記配線板が樹脂によってモールドされていることを特徴とする半導体装置の3次元の実装構造。

2) 複数の半導体装置チップあるいは半導体装置チップ搭載体を回路形成面を積み重ねる方向に整列させる工程、該複数の半導体装置チップあるいは半導体装置チップ搭載体と配線板とを電気接続する工程、および前記複数の半導体装置チップあるいは半導体装置チップ搭載体と前記配線板を樹脂モールドする工程を含むことを特

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、安価な材料の使用で実現し得る高密度、高性能電子デバイスを実現するための半導体装置の3次元実装技術に関するものである。

〔従来の技術〕

従来、ICチップなどの半導体装置チップを配線板に直接立てて、これらの間を配線接続する構造において、ICチップを3次元的に配列し、それらの位置決めを行う場合、特開昭61-20356号にみられるように、精密加工を施した枠組みを利用し、これを最終的に完成させる3次元実装デバイスを組み込んでいたため、完成品が高価にならざるを得なかった。

〔発明が解決しようとする問題点〕

本発明の目的は、従来技術の欠点である精密加工部品を最終完成デバイスに組込まない構成にすることによって、高価格化を解決し、信頼性が高く、安価な半導体装置の3次元実装構造を提供することにある。

用い、最終的には樹脂モールドによって半導体装置の3次元実装を行うので、最終的に完成させるデバイスに高価な精密加工部品が組込まれないため、全体を安価に作製することができる。

〔実施例〕

以下に図面を参照して本発明の実施例を説明する。本発明はICチップ、LSIチップなどの半導体装置チップおよび半導体装置チップ搭載体に適用可能であるが、以下の実施例においては、ICチップを例として説明する。

実施例1

第1図に本発明の第1の実施例の断面図を示す。図において、1は配線板、2はICチップ、3はICチップ上のハンダパンプ、4は配線板上のハンダパンプである。5は配線板1上に配設された配線、6は外部接続用端子である。複数のICチップと配線板とがモールド部7によって一体化されている。

第2図は第1図に示した実装構造の組立を説明する図で、9はICチップ2を整列させるための

〔問題点を解決するための手段〕

このような目的を達成するために、本発明の半導体装置の3次元実装構造は、複数の半導体装置チップあるいは半導体装置チップ搭載体を配線板に立てて配線接続する実装構造において、複数の半導体装置チップあるいは半導体装置チップ搭載体と配線板が樹脂によってモールドされていることを特徴とする。

また本発明の半導体装置の3次元実装構造の製造方法は、複数の半導体装置チップあるいは半導体装置チップ搭載体を回路形成面を積み重ねる方向に整列させる工程、複数の半導体装置チップあるいは半導体装置チップ搭載体と配線板とを電気接続する工程、および複数の半導体装置チップあるいは半導体装置チップ搭載体と配線板を樹脂モールドする工程を含むことを特徴とする。

〔作用〕

本発明は、半導体装置チップの3次元的な配線のための精密加工を施した枠組みを最終的に完成させるデバイスに組み込まず、単なる治具として

状治具である。框状治具9には第3図(A)、(B)、(C)に拡大図示するように溝10が設けられている。治具9は剛体に近いステンレス鋼等の材料で精密機械加工によって作製される。

第2図にもどり、まず、ICチップの両端部を框状治具9の溝部分10にはさみ、整列させる。なお、框状治具9ではさまない側のチップ端部は、図示しない平面上に押し付けることで揃えることが可能である。

次に、配線板1を両面からICチップ2に近付け、ハンダパンプ3を有する側のICチップ端部を配線板1の溝部1Aに挿入し、加熱を行い、配線板上のハンダパンプ4とICチップ上のハンダパンプ3とを融着し接合させる。

パンプ間の位置合せは、ボタンがあらう場合はICチップの外寸と溝部1Aとの機械的な合せで充分である。しかし、ボタンが細かい場合は、ハーフミラー法を用いるのがよい。

第4図は、第2図にて示したICチップと配線板の接続部の断面拡大図である。

第2図の工程に続いて、先ず、極状治具9をとりはずした後、外部接続用端子6を有する1枚の配線板の端部を除いた全体、すなわち全10チップと配線板を含むような型にこれらを入れる。次に、通常のプラスチックモールド工程で行われているように、加熱流動化したエポキシ樹脂等の高分子材料を型の中に流し込み、冷却することによる射出成形工程を行うことによって第1図に示したような構造を得る。

このような工程を行えば、10チップの整列位置出しに用いた精密加工を要する高価な極状治具は再利用可能であるため、全体を安価に作る事ができる。

以上は、配線チップを2枚用いた例を示したが、配線チップの数は1枚でも同一の工程で製作できる。

また第2図の工程と続いて行う極状治具9をははずす工程の後、さらに別の配線板1'を10チップ2へ配線接続を行うことにより、第5図にその正面図を示すように最高4枚までの配線板接続が可能である。

60-25180号にあるような10チップをチップ搭載体に搭載し、これを配線板に接合させる場合においても、以上の方法が適用できることは言うまでもない。

実施例2

第6図は、積層した10チップからの発熱を放熱する構造を示す図であり、13は放熱ブロックである。第6図は、先に第1図で示した部分をa-a'断面で切断し上から見た図に相当する。第6図の構造を得るには、第2図で示した工程を終った後、極状治具9をとりはずし、配線板が接続されていない側面から放熱ブロック13を10チップ2の裏面にあらかじめ熱伝導性の接着剤を塗布しておき、挿入後両者を接触させ、接着させる。また、放熱ブロック13を第6図に示す構造にすることによって、これをモールドングの際の型の一部として利用することが可能である。放熱ブロック13は、10チップの放熱量に応じて冷却流路あるいは放熱フィンをとりつけてもよいし、またこれらを放熱ブロックとの一体構造としてもよい。

能である。なお、このとき配線板間の配線は10チップ上の配線で行う。また、モールドングの際、10チップ間への樹脂の射出は、定間隔で並ぶチップの隙間部に、大きさと位置をともに合せて設けた射出孔から行うことで、容易に可能である。特に、4枚の配線板を利用した場合は、射出孔の大きさと同程度の隙間を4枚の配線板間に設け、さらに射出孔の位置を隙間に合せることによって射出によるモールドングが可能である。

第1図に示した例では、配線チップの一部に外部接続用端子を設け、モールド部の外にこれを出すような構成を示したが、通常の10チップのモールドングと同様に、リードフレームを利用してリードフレームのリードをモールド部の外に出し、モールド部の内部でリードフレームと配線板上の外部接続用端子とをワイヤボンディングすることにより、配線板を全てモールド内部に収納することもできる。

以上の例では10チップを配線板に直接接合させる場合について示したが、たとえば、特願昭

実施例3

第7図は、10チップ間に繊維状物質を挿入した3次元実装構造を示す図であって、14は繊維状物質である。第7図に示した構造は、先に第1図にて示した構造において、10チップ全面にモールド樹脂が密着しているために、10チップの発熱で、両者の熱膨張の差によって生ずる応力が問題となるような場合に有効な構造である。樹脂モールドの前に、繊維状物質14を10チップ間にはさみこむことによってモールドの際、樹脂と10チップが全面で接着することを防止できるため、10チップと樹脂間のチップ発熱による応力が緩和される。繊維状物質としては、10チップ間にはさみ込む場合の容易性、あるいは熱的安定性の点で、ガラス繊維が最適である。

第8図は、10チップと配線板の bumps 間接続部近傍のみを樹脂モールドした3次元実装構造である。目的は、第7図の場合と同様に、10チップと樹脂が全面で接着することによる応力の防止のためである。この構造を実現するには、モールドの

ための型を第8図において上下別々に準備し、まず、下部の樹脂を流し込み、硬化させるモールド工程を行い、次に全体を上下逆にして上部の樹脂モールド工程を行うことによって形成する。もちろん、上下逆の順序で行っても差しつかえない。

第9図は、第8図の3次元実装構造の封止構造であって、15は固定板である。2枚の固定板15を、上下のモールド部7に接着し、第9図の構造を得る。図には描かれていないが、紙面の手前、奥の2面に同様の固定板を配し、モールド部7に不活性ガス中で接着することによって気密封止構造を得ることもできる。このとき、紙面の手前、あるいは奥の一方で用いる固定板を第6図にて示した放熱ブロック13とすることによってICチップの冷却が可能である。

また、ICチップそのもののパッシベーションが充分な場合には、第9図に示した構造のみでも、そのまま完成物として使用可能である。さらにこのとき紙面の手前から奥、あるいはその逆の方向

に、冷却用の流体を流すこともできる。

〔発明の効果〕

以上説明したように本発明による半導体装置の3次元実装構造では、半導体装置チップと配線板との接続のために行う半導体装置チップの整列の際、精密加工を施した極状の治具を用い、さらにこの治具は接続完了後取り外し、再利用することが可能であるため全体を安価に実装できるとともに、極状の治具を超精密加工で作製し、半導体装置チップの位置合せ精度をさらに向上させたとしても、単価にはほとんど影響を与えない、という利点がある。

さらに、放熱ブロックを3次元的に実装した半導体装置チップの裏面に接着することによって、半導体装置チップの放熱が可能である。

また、積層する半導体装置チップ間に繊維状物質をはさみ、樹脂モールドすることによって、樹脂と半導体装置チップが全面で接着することを防止できるため、半導体装置チップと樹脂間の発熱による応力を緩和することができる。

断面図である。

4. 図面の簡単な説明

第1図は本発明の3次元実装構造の実施例の断面図、

第2図は極状治具を用いてICチップを整列させ、配線板に接続する工程を説明する斜視図、

第3図(A)、(B)、(C)はそれぞれICチップを整列させるための極状治具の平面図、正面図および側面図、

第4図は配線板とそれに垂直に接続したICチップの拡大断面図、

第5図はICチップへの配線板の4方接続の正面図、

第6図は放熱ブロック付3次元実装構造の断面図、

第7図はチップ間に繊維状物質を挿入した3次元実装構造の断面図、

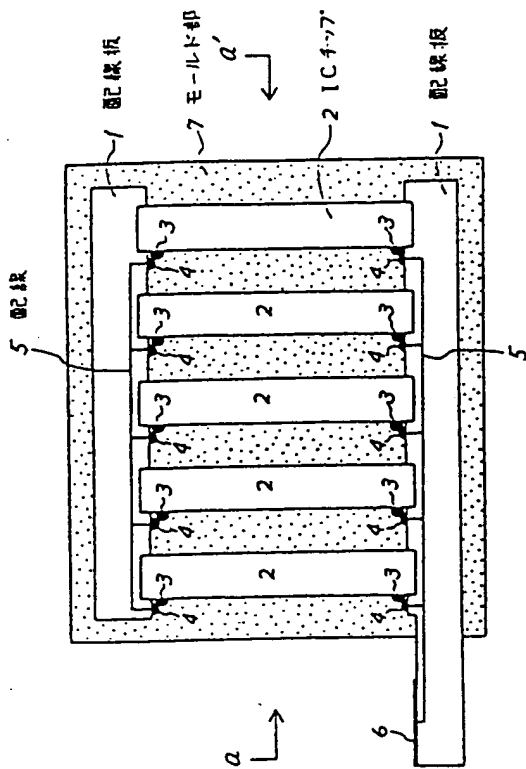
第8図はICチップと配線板の bumps 間接続部近傍のみを樹脂モールドした3次元実装構造の断面図、

第9図は第8図の3次元実装構造の封止構造の

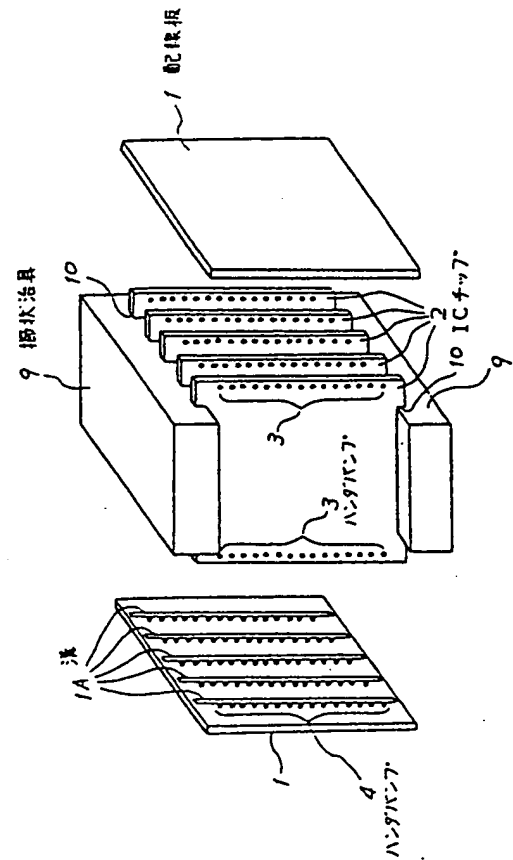
- 1 … 配線板、
- 2 … ICチップ、
- 3 … ICチップ上ハンダバンプ、
- 4 … 配線板上ハンダバンプ、
- 6 … 外部接続用端子、
- 7 … モールド部、
- 9 … 極状治具、
- 10 … ICチップ端部挿入用溝、
- 13 … 放熱ブロック、
- 14 … 繊維状物質、
- 15 … 固定板。

特許出願人 日本電信電話株式会社

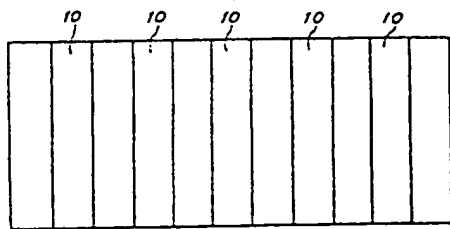
代理人 弁理士 谷 義 一



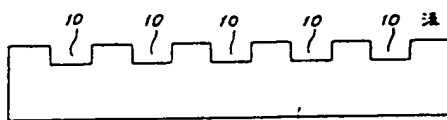
第 1 図



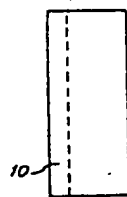
第 2 図



(A)

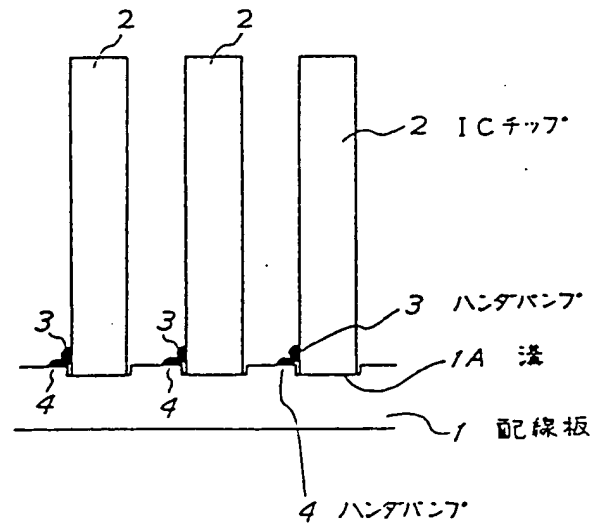


(B)

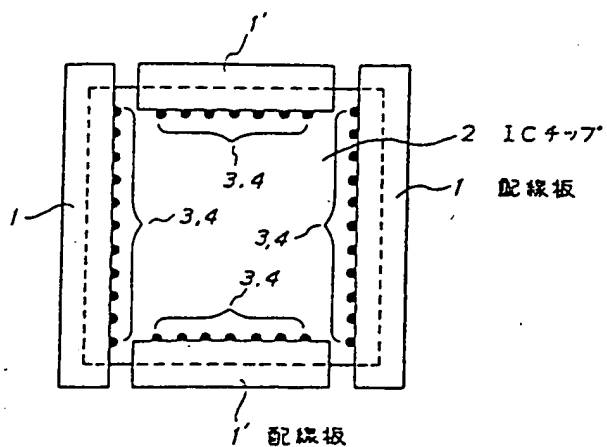


(C)

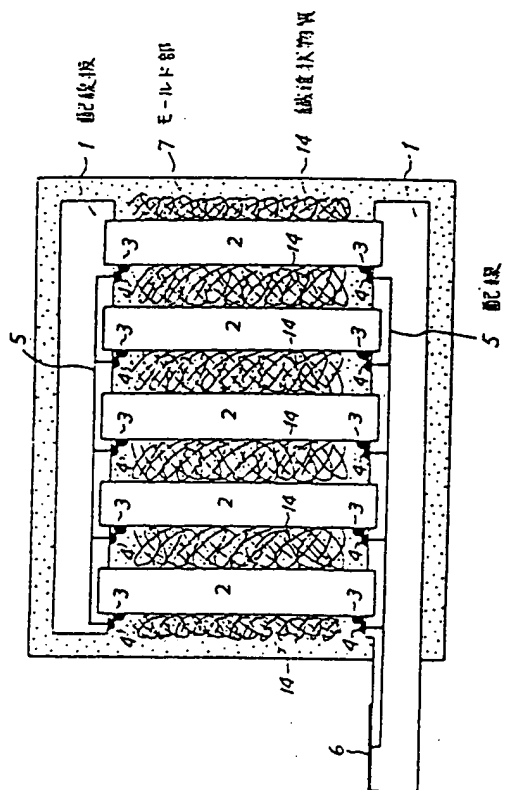
第 3 図



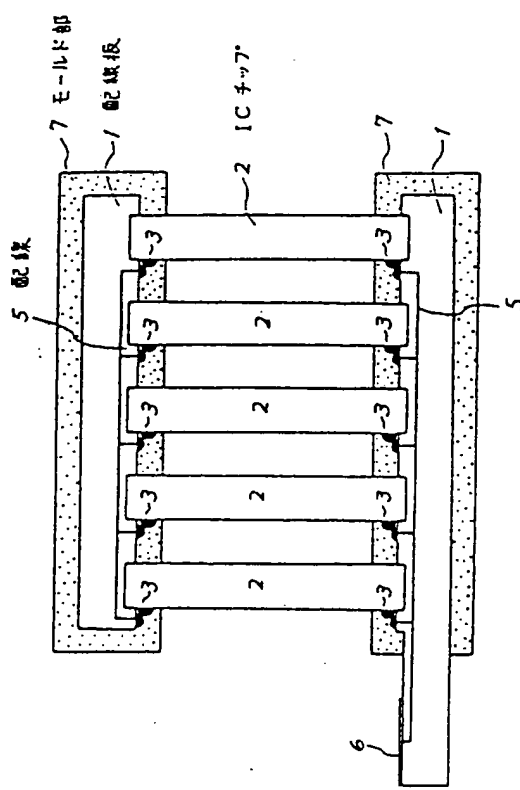
第 4 図



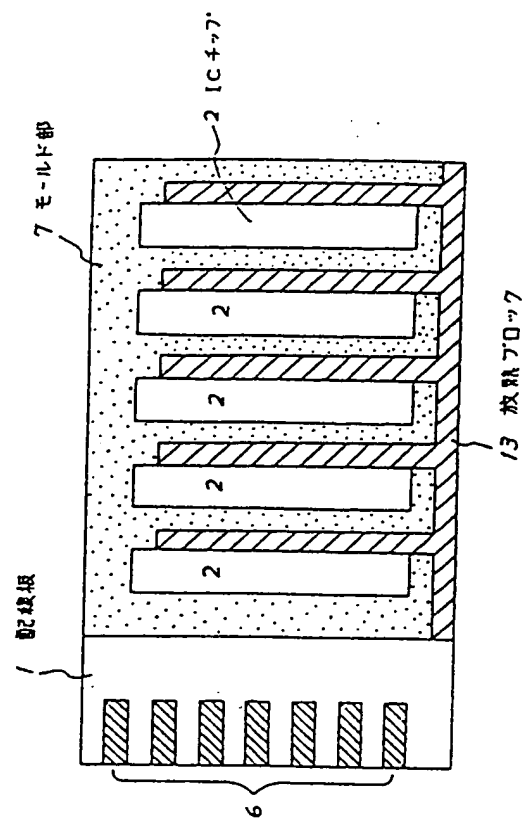
第5図



第7図



第8図



第6図